

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 2月25日

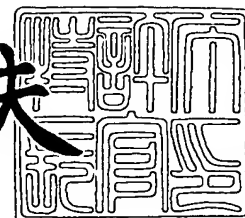
出願番号
Application Number: 特願2004-050148
[ST. 10/C]: [JP2004-050148]

出願人
Applicant(s): セイコーエプソン株式会社

2004年 3月10日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3018860

【書類名】 特許願
【整理番号】 J0108095
【提出日】 平成16年 2月25日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 15/64
【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 【氏名】 宮坂 光敏
【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 【氏名】 吉田 紘幸
【特許出願人】
 【識別番号】 000002369
 【氏名又は名称】 セイコーエプソン株式会社
【代理人】
 【識別番号】 100095728
 【弁理士】
 【氏名又は名称】 上柳 雅誉
 【連絡先】 0 2 6 6 - 5 2 - 3 5 2 8
【選任した代理人】
 【識別番号】 100107076
 【弁理士】
 【氏名又は名称】 藤網 英吉
【選任した代理人】
 【識別番号】 100107261
 【弁理士】
 【氏名又は名称】 須澤 修
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-112793
 【出願日】 平成15年 4月17日
【手数料の表示】
 【予納台帳番号】 013044
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0109826

【書類名】 特許請求の範囲**【請求項 1】**

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子とを具備し、

該静電容量検出素子は信号検出素子と信号増幅素子とを含み、

該信号検出素子は容量検出電極と容量検出誘電体膜と基準コンデンサとを含み、

該基準コンデンサは基準コンデンサ第一電極と基準コンデンサ誘電体膜と基準コンデンサ第二電極とから成り、

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用MIS型薄膜半導体装置から成る事を特徴とする静電容量検出装置。

【請求項 2】

前記信号増幅用MIS型薄膜半導体装置のドレイン領域は前記個別電源線と基準コンデンサ第一電極とに電氣的に接続され、

前記信号増幅用ゲート電極は前記容量検出電極と基準コンデンサ第二電極とに接続される事を特徴とする請求項1記載の静電容量検出装置。

【請求項 3】

前記基準コンデンサの誘電体膜と前記信号増幅用MIS型薄膜半導体装置のゲート絶縁膜は同一素材にて同一層上に形成されて居る事を特徴とする請求項1至乃2記載の静電容量検出装置。

【請求項 4】

前記基準コンデンサ第一電極と半導体膜ドレイン領域は同一素材にて同一層上に形成されて居る事を特徴とする請求項1至乃3記載の静電容量検出装置。

【請求項 5】

前記基準コンデンサ第二電極と前記ゲート電極とは同一素材にて同一層上に形成されて居る事を特徴とする請求項1至乃4記載の静電容量検出装置。

【請求項 6】

前記基準コンデンサの電極面積を S_R (μm^2)、前記信号増幅用MIS型薄膜半導体装置のゲート面積を S_T (μm^2)、前記基準コンデンサ誘電体膜の厚みを t_R (μm)、前記基準コンデンサ誘電体膜の比誘電率を ϵ_R 、前記ゲート絶縁膜の厚みを t_{ox} (μm)、前記ゲート絶縁膜の比誘電率を ϵ_{ox} として、前記基準コンデンサの容量(基準コンデンサ容量) C_R と前記信号増幅用MIS型薄膜半導体装置のトランジスタ容量 C_T とを

$$C_R = \epsilon_0 \cdot \epsilon_R \cdot S_R / t_R$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot S_T / t_{ox}$$

にて定義し(ϵ_0 は真空の誘電率)、

前記容量検出電極の面積を S_D (μm^2)、前記容量検出誘電体膜の厚みを t_D (μm)、前記容量検出誘電体膜の比誘電率を ϵ_D として前記信号検出素子の素子容量 C_D を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S_D / t_D$$

と定義した時に(ϵ_0 は真空の誘電率)、

該素子容量 C_D は、該基準コンデンサ容量 C_R と該トランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きい事を特徴とする請求項1至乃5記載の静電容量検出装置。

【請求項 7】

前記容量検出誘電体膜は前記静電容量検出装置の最表面に位置する事を特徴とする請求項2記載の静電容量検出装置。

【請求項 8】

前記対象物が前記容量検出誘電体膜に接しずに対象物距離 t_A を以て離れて居り、対象物容量 C_A を真空の誘電率 ϵ_0 と空気の比誘電率 ϵ_A と前記容量検出電極の面積 S_D とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S_D / t_A$$

と定義した時に、

前記基準コンデンサ容量 C_R と前記トランジスタ容量 C_T との和である $C_R + C_T$ は該対象物容量 C_A よりも十分に大きい事の特徴とする請求項 7 記載の静電容量検出装置。

【請求項 9】

前記基準コンデンサの電極面積を S_R (μm^2)、前記信号増幅用 M I S 型薄膜半導体装置のゲート面積を S_T (μm^2)、前記基準コンデンサ誘電体膜の厚みを t_R (μm)、前記基準コンデンサ誘電体膜の比誘電率を ϵ_R 、前記ゲート絶縁膜の厚みを t_{ox} (μm)、前記ゲート絶縁膜の比誘電率を ϵ_{ox} として、前記基準コンデンサの容量 (基準コンデンサ容量) C_R と前記信号増幅用 M I S 型薄膜半導体装置のトランジスタ容量 C_T とを

$$C_R = \epsilon_0 \cdot \epsilon_R \cdot S_R / t_R$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot S_T / t_{ox}$$

にて定義し (ϵ_0 は真空の誘電率)、

前記容量検出電極の面積を S_D (μm^2)、前記容量検出誘電体膜の厚みを t_D (μm)、前記容量検出誘電体膜の比誘電率を ϵ_D として前記信号検出素子の素子容量 C_D を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S_D / t_D$$

と定義した時に (ϵ_0 は真空の誘電率)、

該素子容量 C_D は、該基準コンデンサ容量 C_R と該トランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きく、

且つ前記対象物が前記容量検出誘電体膜に接しずに対象物距離 t_A を以て離れて居り、対象物容量 C_A を真空の誘電率 ϵ_0 と空気の比誘電率 ϵ_A と前記容量検出電極の面積 S_D とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S_D / t_A$$

と定義した時に、

前記基準コンデンサ容量 C_R と前記トランジスタ容量 C_T との和である $C_R + C_T$ は該対象物容量 C_A よりも十分に大きい事の特徴とする請求項 1 至乃 5 記載の静電容量検出装置。

【請求項 10】

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置は M 行 N 列の行列状に配置された M 本の個別電源線と、N 本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子とを具備し、

該静電容量検出素子は信号検出素子と信号増幅素子とを含み、

該信号検出素子は容量検出電極と容量検出誘電体膜と基準コンデンサとを含み、

該基準コンデンサは基準コンデンサ第一電極と基準コンデンサ誘電体膜と基準コンデンサ第二電極とから成り、

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用 M I S 型薄膜半導体装置から成り、

該信号増幅用 M I S 型薄膜半導体装置のドレイン領域の一部と該ゲート電極の一部とが該ゲート絶縁膜を介して重なり部を形成しており、該重なり部が該基準コンデンサを成す事の特徴とする静電容量検出装置。

【請求項 11】

前記信号増幅用 M I S 型薄膜半導体装置のゲート電極と半導体膜ドレイン領域との重なり部のゲート電極長を L_1 (μm)、前記信号増幅用 M I S 型薄膜半導体装置のゲート電極と半導体膜チャンネル形成領域との重なり部のゲート電極長を L_2 (μm)、前記ゲート電極幅を W (μm)、前記ゲート絶縁膜の厚みを t_{ox} (μm)、ゲート絶縁膜の比誘電率を ϵ_{ox} として、

前記基準コンデンサの容量 (基準コンデンサ容量) C_R と前記信号増幅用 M I S 型薄膜半導体装置のトランジスタ容量 C_T とを

$$C_R = \epsilon_0 \cdot \epsilon_{ox} \cdot L_1 \cdot W / t_{ox}$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L_2 \cdot W / t_{ox}$$

にて定義し (ϵ_0 は真空の誘電率)、

前記容量検出電極の面積を S_D (μm^2)、前記容量検出誘電体膜の厚みを t_D (μm)、前記容量検出誘電体膜の比誘電率を ϵ_D として前記信号検出素子の素子容量 C_D を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S_D / t_D$$

と定義した時に (ϵ_0 は真空の誘電率)、

該素子容量 C_D は該基準コンデンサ容量 C_R と該トランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きい事の特徴とする請求項 10 記載の静電容量検出装置。

【請求項 12】

前記対象物が前記容量検出誘電体膜に接しずに対象物距離 t_A を以て離れて居り、対象物容量 C_A を真空の誘電率 ϵ_0 と空気の比誘電率 ϵ_A と前記容量検出電極の面積 S_D とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S_D / t_A$$

と定義した時に、

前記基準コンデンサ容量 C_R と前記トランジスタ容量 C_T との和である $C_R + C_T$ は該対象物容量 C_A よりも十分に大きい事の特徴とする請求項 10 記載の静電容量検出装置。

【請求項 13】

前記容量検出誘電体膜は前記静電容量検出装置の最表面に位置し、

前記信号増幅用 M I S 型薄膜半導体装置のゲート電極と半導体膜ドレイン領域との重なり部のゲート電極長を L_1 (μm)、前記信号増幅用 M I S 型薄膜半導体装置のゲート電極と半導体膜チャンネル形成領域との重なり部のゲート電極長を L_2 (μm)、前記ゲート電極幅を W (μm)、前記ゲート絶縁膜の厚みを t_{ox} (μm)、前記ゲート絶縁膜の比誘電率を ϵ_{ox} として前記信号増幅用 M I S 型薄膜半導体装置の基準コンデンサ容量 C_R とトランジスタ容量 C_T とを

$$C_R = \epsilon_0 \cdot \epsilon_{ox} \cdot L_1 \cdot W / t_{ox}$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L_2 \cdot W / t_{ox}$$

にて定義し (ϵ_0 は真空の誘電率)、

前記容量検出電極の面積を S_D (μm^2)、前記容量検出誘電体膜の厚みを t_D (μm)、前記容量検出誘電体膜の比誘電率を ϵ_D として前記信号検出素子の素子容量 C_D を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S / t_D$$

と定義した時に (ϵ_0 は真空の誘電率)、

該素子容量 C_D は、該基準コンデンサ容量 C_R と該トランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きく、

且つ前記対象物が前記容量検出誘電体膜に接しずに対象物距離 t_A を以て離れて居り、対象物容量 C_A を真空の誘電率 ϵ_0 と空気の比誘電率 ϵ_A と前記容量検出電極の面積 S_D とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S_D / t_A$$

と定義した時に、

該基準コンデンサ容量 C_R と 該トランジスタ容量 C_T との和である $C_R + C_T$ は該対象物容量 C_A よりも十分に大きい事の特徴とする請求項 10 記載の静電容量検出装置。

【書類名】明細書

【発明の名称】静電容量検出装置

【技術分野】

【0001】

本願発明は指紋等の微細な凹凸を有する対象物の表面形状を、対象物表面との距離に応じて変化する静電容量を検出する事に依り読み取る静電容量検出装置に関する。

【背景技術】

【0002】

従来、指紋センサ等に用いられる静電容量検出装置はセンサ電極と当該センサ電極上に設けられた誘電体膜とを単結晶硅素基板に形成していた（特開平11-118415、特開2000-346608、特開2001-56204、特開2001-133213等）。図1は従来の静電容量検出装置の動作原理を説明している。センサ電極と誘電体膜とがコンデンサの一方の電極と誘電体膜とを成し、人体が接地された他方の電極と成る。このコンデンサの静電容量 C_F は誘電体膜表面に接した指紋の凹凸に応じて変化する。一方、半導体基板には静電容量 C_S を成すコンデンサを準備し、此等二つのコンデンサを直列接続して、所定の電圧を印可する。斯うする事で二つのコンデンサの間には指紋の凹凸に応じた電荷 Q が発生する。この電荷 Q を通常の半導体技術を用いて検出し、対象物の表面形状を読み取っていた。

【0003】

【特許文献1】特開平11-118415

【特許文献2】特開2000-346608

【特許文献3】特開2001-56204

【特許文献4】特開2001-133213

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら此等従来の静電容量検出装置は、当該装置が単結晶硅素基板上に形成されて居る為に、指紋センサとして用いると指を強く押しつけた際に当該装置が割れて仕舞うとの課題を有して居た。

【0005】

更に指紋センサはその用途から必然的に20mm×20mm程度の大きさが求められ、静電容量検出装置面積の大部分はセンサ電極にて占められる。センサ電極は無論単結晶硅素基板上に作られるが、膨大なエネルギーと労力とを費やして作成された単結晶硅素基板の大部分（センサ電極下部）は単なる支持体としての役割しか演じてない。即ち従来の静電容量検出装置は高価なだけでは無く、多大なる無駄と浪費の上に形成されて居るとの課題を有する。

【0006】

加えて近年、クレジットカードやキャッシュカード等のカード上に個人認証機能を設けてカードの安全性を高めるべきとの指摘が強い。然るに従来の単結晶硅素基板上に作られた静電容量検出装置は柔軟性に欠ける為に、当該装置をプラスチック基板上に作成し得ないとの課題を有している。

【0007】

そこで本発明は上述の諸事情を鑑み、その目的とする所は安定に動作し、更に製造時に不要なエネルギーや労力を削減し得、又単結晶硅素基板以外にも作成し得る優良な静電容量検出装置を提供する事に有る。

【課題を解決するための手段】

【0008】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置に於いて、静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び個別電源線と個別出力線との交点に

設けられた静電容量検出素子とを具備し、此の静電容量検出素子は信号検出素子と信号増幅素子とを含み、信号検出素子は容量検出電極と容量検出誘電体膜と基準コンデンサとを含み、基準コンデンサは基準コンデンサ第一電極と基準コンデンサ誘電体膜と基準コンデンサ第二電極とから成り、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用MIS型薄膜半導体装置から成る事を特徴とする。更に信号増幅用MIS型薄膜半導体装置のドレイン領域が個別電源線と基準コンデンサ第一電極とに接続され、信号増幅用MIS型薄膜半導体装置ゲート電極が容量検出電極と基準コンデンサ第二電極とに接続される事をも特徴と為す。信号増幅用MIS型薄膜半導体装置のソース領域は直接乃至はスイッチング素子を介して間接的に個別出力線に接続される。本発明は、基準コンデンサの誘電体膜と信号増幅用MIS型薄膜半導体装置のゲート絶縁膜とが同一素材にて同一層上に形成されて居る事をも特徴と為す。又、基準コンデンサ第一電極と半導体膜ドレイン領域は同一素材にて同一層上に形成されて居る事をも特徴とする。更に基準コンデンサ第二電極とゲート電極とが同一素材にて同一層上に形成されて居る事をも特徴と為す。

【0009】

本発明は、基準コンデンサの電極面積を S_R (μm^2)、信号増幅用MIS型薄膜半導体装置のゲート面積を S_T (μm^2)、基準コンデンサ誘電体膜の厚みを t_R (μm)、基準コンデンサ誘電体膜の比誘電率を ϵ_R 、ゲート絶縁膜の厚みを t_{ox} (μm)、ゲート絶縁膜の比誘電率を ϵ_{ox} として、基準コンデンサの容量(基準コンデンサ容量) C_R と信号増幅用MIS型薄膜半導体装置のトランジスタ容量 C_T とを

$$C_R = \epsilon_0 \cdot \epsilon_R \cdot S_R / t_R$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot S_T / t_{ox}$$

にて定義し(ϵ_0 は真空の誘電率)、容量検出電極の面積を S_D (μm^2)、容量検出誘電体膜の厚みを t_D (μm)、容量検出誘電体膜の比誘電率を ϵ_D として信号検出素子の素子容量 C_D を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S_D / t_D$$

と定義した時に(ϵ_0 は真空の誘電率)、素子容量 C_D は、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きい事を特徴とする。十分に大きいとは一般的に10倍程度以上の相違を意味するので、換言すれば素子容量 C_D は基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ と

$$C_D > 10 \times (C_R + C_T)$$

との関係を満たしている事になる。本発明の静電容量検出装置では容量検出誘電体膜が静電容量検出装置の最表面に位置するのが望ましい。対象物が容量検出誘電体膜に接しずに対象物距離 t_A を以て容量検出誘電体膜から離れて居り、対象物容量 C_A を真空の誘電率 ϵ_0 と空気の比誘電率 ϵ_A と容量検出電極の面積 S_D とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S_D / t_A$$

と定義した時に、先の基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ は此の対象物容量 C_A よりも十分に大きく成る様に静電容量検出装置を構成づける。前述の如く、10倍程度以上の相違が認められると十分に大きいと言えるので、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ と対象物容量 C_A とが

$$(C_R + C_T) > 10 \times C_A$$

との関係を満たしている事を特徴と為す。より理想的には、容量検出誘電体膜が静電容量検出装置の最表面に位置し、基準コンデンサの電極面積を S_R (μm^2)、信号増幅用MIS型薄膜半導体装置のゲート面積を S_T (μm^2)、基準コンデンサ誘電体膜の厚みを t_R (μm)、基準コンデンサ誘電体膜の比誘電率を ϵ_R 、ゲート絶縁膜の厚みを t_{ox} (μm)、ゲート絶縁膜の比誘電率を ϵ_{ox} として、基準コンデンサの容量(基準コンデンサ容量) C_R と信号増幅用MIS型薄膜半導体装置のトランジスタ容量 C_T とを

$$C_R = \epsilon_0 \cdot \epsilon_R \cdot S_R / t_R$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot S_T / t_{ox}$$

にて定義し(ϵ_0 は真空の誘電率)、容量検出電極の面積を S_D (μm^2)、容量検出誘電

体膜の厚みを t_D (μm)、容量検出誘電体膜の比誘電率を ϵ_D として信号検出素子の素子容量 C_D を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S_D / t_D$$

と定義した時に (ϵ_0 は真空の誘電率)、素子容量 C_D は、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きく、且つ対象物が容量検出誘電体膜に接しずに対象物距離 t_A を以て離れて居る際には、対象物容量 C_A を真空の誘電率 ϵ_0 と空気の比誘電率 ϵ_A と容量検出電極の面積 S_D とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S_D / t_A$$

と定義した時に、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ が対象物容量 C_A よりも十分に大きく成る様に静電容量検出装置を構成づける。より具体的には素子容量 C_D と、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ と、対象物容量 C_A とが

$$C_D > 10 \times (C_R + C_T) > 100 \times C_A$$

との関係を満たす様な静電容量検出装置を特徴と為す。

【0010】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置に於いて、静電容量検出装置は M 行 N 列の行列状に配置された M 本の個別電源線と、 N 本の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子とを具備し、此の静電容量検出素子は信号検出素子と信号増幅素子とを含み、信号検出素子は容量検出電極と容量検出誘電体膜と基準コンデンサとを含み、基準コンデンサは基準コンデンサ第一電極と基準コンデンサ誘電体膜と基準コンデンサ第二電極とから成り、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用 MIS 型薄膜半導体装置から成り、此の信号増幅用 MIS 型薄膜半導体装置のドレイン領域の一部とゲート電極の一部とがゲート絶縁膜を介して重なり部を形成しており、此の重なり部が基準コンデンサを成す事を特徴とする。具体的には、信号増幅用 MIS 型薄膜半導体装置を構成する半導体膜の内でドナー型又はアクセプター型不純物を含む半導体膜のドレイン領域側が基準コンデンサ第一電極となり、此が直接乃至は間接的に個別電源線へと接続される。信号増幅用 MIS 型薄膜半導体装置ゲート電極は基準コンデンサ第二電極と共通電極となり、此は容量検出電極に接続される。信号増幅用 MIS 型薄膜半導体装置のソース領域は直接乃至は間接的に個別出力線に接続される。

【0011】

本発明は信号増幅用 MIS 型薄膜半導体装置のゲート電極と半導体膜ドレイン領域との重なり部のゲート電極長を L_1 (μm)、信号増幅用 MIS 型薄膜半導体装置のゲート電極と半導体膜チャンネル形成領域との重なり部のゲート電極長を L_2 (μm)、ゲート電極幅を W (μm)、前記ゲート絶縁膜の厚みを t_{ox} (μm)、ゲート絶縁膜の比誘電率を ϵ_{ox} として信号増幅用 MIS 型薄膜半導体装置の基準コンデンサ容量 C_R とトランジスタ容量 C_T とを

$$C_R = \epsilon_0 \cdot \epsilon_{ox} \cdot L_1 \cdot W / t_{ox}$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L_2 \cdot W / t_{ox}$$

にて定義し (ϵ_0 は真空の誘電率)、容量検出電極の面積を S_D (μm^2)、容量検出誘電体膜の厚みを t_D (μm)、容量検出誘電体膜の比誘電率を ϵ_D として信号検出素子の素子容量 C_D を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S_D / t_D$$

と定義した時に (ϵ_0 は真空の誘電率)、此の素子容量 C_D は先の基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きい事を特徴とする。十分に大きいとは一般的に 10 倍程度以上の相違を意味するので、換言すれば素子容量 C_D は基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ と

$$C_D > 10 \times (C_R + C_T)$$

との関係を満たしている事になる。本発明の静電容量検出装置では容量検出誘電体膜が静電容量検出装置の最表面に位置するのが望ましい。対象物が容量検出誘電体膜に接しず

対象物距離 t_A を以て容量検出誘電体膜から離れて居り、対象物容量 C_A を真空の誘電率 ϵ_0 と空気の比誘電率 ϵ_A と容量検出電極の面積 S_D とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S_D / t_A$$

と定義した時に、先の基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ は此の対象物容量 C_A よりも十分に大きく成る様に静電容量検出装置を構成づける。前述の如く、10 倍程度以上の相違が認められると十分に大きいと言えるので、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ と対象物容量 C_A とが

$$(C_R + C_T) > 10 \times C_A$$

との関係を満たしている事を特徴と為す。より理想的には、容量検出誘電体膜が静電容量検出装置の最表面に位置し、信号増幅用 M I S 型薄膜半導体装置のゲート電極と半導体膜ドレイン領域との重なり部のゲート電極長を L_1 (μm)、信号増幅用 M I S 型薄膜半導体装置のゲート電極と半導体膜チャンネル形成領域との重なり部のゲート電極長を L_2 (μm)、ゲート電極幅を W (μm)、ゲート絶縁膜の厚みを t_{ox} (μm)、ゲート絶縁膜の比誘電率を ϵ_{ox} として基準コンデンサ容量 C_R とトランジスタ容量 C_T とを

$$C_R = \epsilon_0 \cdot \epsilon_{ox} \cdot L_1 \cdot W / t_{ox}$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L_2 \cdot W / t_{ox}$$

にて定義し (ϵ_0 は真空の誘電率)、容量検出電極面積を S_D (μm^2)、容量検出誘電体膜の厚みを t_D (μm)、容量検出誘電体膜の比誘電率を ϵ_D として信号検出素子の素子容量 C_D を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S_D / t_D$$

と定義した時に (ϵ_0 は真空の誘電率)、素子容量 C_D は基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きく、更に対象物が容量検出誘電体膜に接しずに対象物距離 t_A を以て離れて居り、対象物容量 C_A を真空の誘電率 ϵ_0 と空気の比誘電率 ϵ_A と容量検出電極面積 S_D とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S_D / t_A$$

と定義した時に、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ が対象物容量 C_A よりも十分に大きく成る様に静電容量検出装置を構成づける。より具体的には素子容量 C_D と、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ と、対象物容量 C_A とが

$$C_D > 10 \times (C_R + C_T) > 100 \times C_A$$

との関係を満たす様な静電容量検出装置を特徴と為す。

【0012】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置に於いて、静電容量検出装置は M 行 N 列の行列状に配置された M 本の個別電源線と、N 本の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子、更には M 本の個別電源線に接続する電源選択回路とを具備し、静電容量検出素子は容量検出電極と容量検出誘電体膜と基準コンデンサと信号増幅素子とを含み、基準コンデンサは基準コンデンサ第一電極と基準コンデンサ誘電体膜と基準コンデンサ第二電極とから成り、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用 M I S 型薄膜半導体装置から成る事を特徴とする。この際に信号増幅素子用 M I S 型薄膜半導体装置のソース領域は直接乃至は間接的に個別出力線に接続され、信号増幅素子用 M I S 型薄膜半導体装置のドレイン領域は個別電源線と基準コンデンサ第一電極とに接続され、信号増幅素子用 M I S 型薄膜半導体装置のゲート電極は容量検出電極と基準コンデンサ第二電極とに接続される事をも特徴と為す。本発明の静電容量検出装置では個別出力線が第一配線にて配線され、個別電源線が第二配線にて配線され、容量検出電極が第三配線にて配線され、此等第一配線と第二配線と第三配線とは絶縁膜を介して電氣的に分離されて居る。

【0013】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置に於いて、静電容量検出装置は M 行 N 列の行列状に配置

されたM本の個別電源線と、N本の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子、更にはN本の個別出力線に接続する出力信号選択回路とを具備し、静電容量検出素子は容量検出電極と容量検出誘電体膜と基準コンデンサと信号増幅素子とを含み、出力信号選択回路は共通出力線と出力信号用パスゲートとを含み、基準コンデンサは基準コンデンサ第一電極と基準コンデンサ誘電体膜と基準コンデンサ第二電極とから成り、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用MIS型薄膜半導体装置から成り、出力信号用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用MIS型薄膜半導体装置から成る事を特徴とする。この際に信号増幅素子用MIS型薄膜半導体装置のソース領域は直接乃至は間接的に個別出力線に接続され、信号増幅素子用MIS型薄膜半導体装置のドレイン領域は個別電源線と基準コンデンサ第一電極とに接続され、信号増幅素子用MIS型薄膜半導体装置のゲート電極は容量検出電極と基準コンデンサ第二電極とに接続され、出力信号パスゲート用MIS型薄膜半導体装置のソース領域は共通出力線に接続され、出力信号パスゲート用MIS型薄膜半導体装置のドレイン領域は前記個別出力線に接続される事をも特徴と為す。又、出力信号パスゲート用MIS型薄膜半導体装置のゲート電極は、N本の個別出力線の内からどの個別出力線を選択するかと云った信号を供給する出力選択用出力線に接続される。本発明の静電容量検出装置では個別出力線と共通出力線とが第一配線にて配線され、個別電源線と出力選択用出力線とが第二配線にて配線され、容量検出電極が第三配線にて配線され、此等第一配線と該第二配線と該第三配線とは絶縁膜を介して電氣的に分離されて居る。

【0014】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置に於いて、静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子、更にはM本の個別電源線に接続する電源選択回路と、N本の個別出力線に接続する出力信号選択回路とを具備し、静電容量検出素子は容量検出電極と容量検出誘電体膜と基準コンデンサと信号増幅素子とを含み、出力信号選択回路は共通出力線と出力信号用パスゲートとを含み、基準コンデンサは基準コンデンサ第一電極と基準コンデンサ誘電体膜と基準コンデンサ第二電極とから成り、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用MIS型薄膜半導体装置から成り、出力信号用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用MIS型薄膜半導体装置から成る事を特徴とする。この際に信号増幅素子用MIS型薄膜半導体装置のソース領域は直接乃至は間接的に個別出力線に接続され、信号増幅素子用MIS型薄膜半導体装置のドレイン領域は個別電源線と基準コンデンサ第一電極とに接続され、信号増幅素子用MIS型薄膜半導体装置のゲート電極は容量検出電極と基準コンデンサ第二電極とに接続され、出力信号パスゲート用MIS型薄膜半導体装置のソース領域は共通出力線に接続され、出力信号パスゲート用MIS型薄膜半導体装置のドレイン領域は個別出力線に接続される事をも特徴と為す。又、出力信号パスゲート用MIS型薄膜半導体装置のゲート電極は、N本の個別出力線の内からどの個別出力線を選択するかと云った信号を供給する出力選択用出力線に接続される。本発明の静電容量検出装置では個別出力線と共通出力線とが第一配線にて配線され、個別電源線と出力選択用出力線とが第二配線にて配線され、容量検出電極が第三配線にて配線され、此等第一配線と第二配線と第三配線とは其々絶縁膜を介して電氣的に分離されて居る。

【発明の効果】

【0015】

従来の単結晶硅素基板を用いた技術（単結晶シリコンセンサ）では数mm×数mm程度の小さな静電容量検出装置しかプラスチック基板上に形成出来なかったが、本願発明に依ると従来の単結晶シリコンセンサと同等の性能を有する静電容量検出装置を薄膜半導体装置にて実現し得る。又静電容量検出装置のセンサ面積も容易に100倍程度以上に増大せしめ、更に斯うした優れた静電容量検出装置をプラスチック基板上に作成する事が実現

する。しかも対象物の凹凸情報を窮めて高精度に検出出来る様になった。その結果、本静電容量検出装置を例えばスマートカードに搭載すると、カードのセキュリティレベルを著しく向上せしめるとの効果が認められる。又、単結晶硅素基板を用いた従来の静電容量検出装置は装置面積の極一部しか単結晶硅素半導体を利用して居らず、莫大なエネルギーと労力とを無駄に費やしていた。これに対し本願発明では斯様な浪費を排除し、地球環境の保全に役立つとの効果を有する。

【発明を実施する為の最良の形態】

【0016】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置を金属―絶縁膜―半導体膜から成るMIS型薄膜半導体装置にて作成する。薄膜半導体装置は通常硝子基板上に作成される為に、大面積を要する半導体集積回路を安価に製造する技術として知られ、具体的に昨今では液晶表示装置等に応用されている。従って指紋センサ等に適応される静電容量検出装置を薄膜半導体装置にて作成すると、単結晶硅素基板と云った多大なエネルギーを消費して作られた高価な基板を使用する必要がなく、貴重な地球資源を浪費する事なく安価に当該装置を作成し得る。又、薄膜半導体装置はSUTLA (特開平11-312811やS. Utsunomiya et. al. Society for Information Display p. 916 (2000)) と呼ばれる転写技術を適応する事で、半導体集積回路をプラスチック基板上に作成出来るので、静電容量検出装置も単結晶硅素基板から解放されてプラスチック基板上に形成し得るので有る。

【0017】

さて、図1に示すが如き従来の動作原理を適応した静電容量検出装置を薄膜半導体装置にて作成するのは、現在の薄膜半導体装置の技術を以てしては不可能である。二つの直列接続されたコンデンサー間に誘起される電荷Qは非常に小さい為に、高精度感知を可能とする単結晶硅素LSI技術を用いれば電荷Qを正確に読み取れるが、薄膜半導体装置ではトランジスタ特性が単結晶硅素LSI技術程には優れず、又薄膜半導体装置間の特性偏差も大きい故に電荷Qを正確に読み取れない。そこで本発明の静電容量検出装置はM行N列の行列状に配置されたM本(Mは1以上の整数)の個別電源線と、N本(Nは1以上の整数)の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子とを具備せしめ、此の静電容量検出素子は信号検出素子と信号増幅素子とを含むとの構成とする。信号検出素子は容量検出電極と容量検出誘電体膜と基準コンデンサとを含み、容量検出電極には静電容量に応じて電荷Qが発生する。本発明ではこの電荷Qを各静電容量検出素子に設けられた信号増幅素子にて増幅し、電流に変換する。具体的には信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用MIS型薄膜半導体装置から成り、信号増幅用MIS型薄膜半導体装置のゲート電極が容量検出電極と基準コンデンサの一方の電極(例えば第二電極)とに接続される。図2に本願発明の動作原理図を示す。静電容量 C_s を持つコンデンサと、対象物の表面形状に応じて変化する静電容量 C_F を有するコンデンサとの間に発生した電荷は信号増幅用MIS型薄膜半導体装置のゲート電位を変化させる。斯うして此の薄膜半導体装置のドレイン領域に所定の電圧を印可すると、誘起された電荷Qに応じて薄膜半導体装置のソースドレイン間に流れる電流Iは著しく増幅される。誘起された電荷Q自体は何処にも流れずに保存されるので、ドレイン電圧を高くしたり或いは測定時間を長くする等で電流Iの測定も容易になり、従って薄膜半導体装置を用いても対象物の表面形状を十分正確に計測出来る様になる。

【0018】

前述の如く本願発明では信号増幅素子として信号増幅用MIS型薄膜半導体装置を用いて居る。この場合、静電容量 C_s を持つコンデンサを信号増幅用MIS型薄膜半導体装置其の物で兼用し、更に静電容量を増加させて検出感度を高める為に基準コンデンサを設ける。即ち静電容量 C_s に代わる新たな静電容量を信号増幅用MIS型薄膜半導体装置のトランジスタ容量 C_T と静電容量を増加させる為の基準コンデンサ容量 C_R との和とするので有る。斯うする事で静電容量の調整が可能となり、更に構造も簡素化されると同時に製造工程も容易と化す。又、信号増幅用MIS型薄膜半導体装置の半導体チャンネル形成領域

長を短くする事によって高速検出動作を実現出来る。加えて図2に描かれて居る二つの電源を共通の電源 V_{dd} として纏める事も静電容量検出装置内に於ける余計な配線を省略し得るとの観点で効果的と言える。斯様な状態に於ける動作原理に関する等価回路図を図3に示す。対象物の表面形状に応じて変化する静電容量 C_F を有するコンデンサとトランジスタ容量 C_T を有するコンデンサとが直列に接続され、同時に静電容量 C_F を有するコンデンサと基準コンデンサ容量 C_R を有するコンデンサとも直列に接続されて居る。厳密にはトランジスタ容量 C_T は信号増幅用 M I S 型薄膜半導体装置のドレイン電極とゲート電極との間に形成される静電容量である。図3の構成を実現させるには信号増幅用 M I S 型薄膜半導体装置のソース領域を個別出力線に接続し、信号増幅用 M I S 型薄膜半導体装置のドレイン領域を個別電源線と基準コンデンサ第一電極とに接続し、更に信号増幅用 M I S 型薄膜半導体装置のゲート電極と基準コンデンサ第二電極とを接続した上で、個別電源線に電圧 V_{dd} を印可し、個別出力線より対象物の表面形状に応じて変化する電流 I を取り出せば良い。

【0019】

斯うした発明を具現化する静電容量検出素子の構造を図4を用いて説明する。静電容量検出素子の信号増幅素子を成す信号増幅用 M I S 型薄膜半導体装置はソース領域とチャンネル形成領域とドレイン領域とを含む半導体膜と、ゲート絶縁膜とゲート電極とを不可欠な構成要件としている。ソース領域とドレイン領域の半導体膜にはドナー型又はアクセプター型不純物が導入されて居り、N型又はP型の半導体となっている。半導体膜ドレイン領域上にはゲート電極がゲート絶縁膜を介して重なり合っており、此の重なり部が基準コンデンサを為す。基準コンデンサは基準コンデンサ第一電極と基準コンデンサ誘電体膜と基準コンデンサ第二電極とから構成される。図4(A)では第一電極が下部電極としてドレイン領域と共通電極となり、第二電極が上部電極としてゲート電極との共通電極と成っており、第一電極と第二電極とではどちらが上部電極になっても構わない。ゲート電極が半導体膜に対して下側に位置するボトムゲート型薄膜トランジスタを信号増幅用 M I S 型薄膜半導体装置として利用する場合などは基準コンデンサ下部電極をゲート電極と共通電極とし、ドレイン領域と基準コンデンサ上部電極とを共通電極とするのが構造上簡便である。基準コンデンサ第一電極と半導体膜ドレイン領域とは同じ膜（不純物が導入された半導体膜）で同一層（下地保護膜）上に形成され、基準コンデンサ第二電極とゲート電極とは矢張り同じ膜（金属膜）で同一層（ゲート絶縁膜）上に形成されている。信号増幅用 M I S 型薄膜半導体装置のゲート電極は容量検出電極に接続し、容量検出電極は容量検出誘電体膜にて覆われる。斯うして半導体膜ドレイン領域と基準コンデンサ第一電極とが同電位になり、且つ信号増幅用 M I S 型薄膜半導体装置のゲート電極と基準コンデンサ第二電極とが同電位となって容量検出電極に接続し、図3に示す等価回路が実現する。図4(A)の構成例では基準コンデンサと信号増幅素子とを繋げて配置しているので、空間使用効率が向上し、感度の高い静電容量検出装置が実現されて居る。更にゲート電極形成前に基準コンデンサ下部電極とドレイン領域とを形成し、ゲート電極形成後にセルフアライン方式にてソース領域を形成する（ゲート電極をマスクとしてイオン注入でソース領域を形成する）ので、チャンネル形成領域を露光器の有する解像度よりも小さく出来るとの効果も有する。一般に露光器の解像度は露光器のアライメント精度に劣る。本願構成ではチャンネル形成領域長を露光器の解像度ではなく、露光器のアライメント精度を利用して形成する為、そのサイズをアライメント精度まで微細化出来、それ故に静電容量検出回路の高速動作が実現するのである。

【0020】

図4(A)では、信号増幅用 M I S 型薄膜半導体装置を第一層間絶縁膜が被って居る。信号増幅用 M I S 型薄膜半導体装置のソース領域には第一配線が接続され、ドレイン領域には第二配線が接続される。第一配線にて個別出力線が形成され、第二配線にて個別電源線が形成される。第一配線と第二配線との間には第二層間絶縁膜が設けられ、第一配線と第二配線とを電気的に分離している。静電容量検出素子の信号検出素子を成す容量検出電極は信号増幅用 M I S 型薄膜半導体装置のゲート電極に接続され、第三層間絶縁膜上に形

成される。容量検出電極は第三配線にて配線される。第二配線と第三配線との間には第三層間絶縁膜が設けられ、第二配線と第三配線とを電氣的に分離している。容量検出電極を第三配線にて配線することにより、第一配線と容量検出電極との間に生ずる寄生容量を最小とし、第二層間絶縁膜の誘電率と第三層間絶縁膜の誘電率とを出来る限り小さくすることによって微小な静電容量を高感度にて検出することが可能となる。容量検出電極上は容量検出誘電体膜が被い、容量検出誘電体膜は静電容量検出装置の最表面に位置する。容量検出誘電体膜は静電容量検出装置の保護膜の役割も同時に演ずる。

【0021】

図4 (A) の例では信号増幅素子のゲート電極とドレイン電極との重なり部を基準コンデンサとしたが、図4 (B) に示す様に基準コンデンサと信号増幅用MIS型薄膜トランジスタとを分離しても良い。基準コンデンサと信号増幅用薄膜トランジスタとの間はドーパド半導体膜などの電気伝導性物質で結ばれる。信号増幅用トランジスタは、高速動作させるとの観点からは出来る限り小さい方が好ましい。一方で基準コンデンサ容量 C_R とトランジスタ容量 C_T の和には検出対象物に応じて最適容量値が存在する。図4 Bの構成ではトランジスタを小さくし、同時に $C_R + C_T$ の値を最適にし得るので、本願発明の静電容量検出装置の感度を高める事を可能とする。個別電源線(第二配線)とドレイン領域とを導通させるコンタクトホールは基準コンデンサと信号増幅用MIS型薄膜トランジスタとの間に設けるのが好ましい。

【0022】

上述の構成にて本願発明の信号増幅用MIS型薄膜半導体装置が効果的に信号増幅の機能を果たす為には、信号増幅用MIS型薄膜半導体装置のトランジスタ容量 C_T や基準コンデンサ容量 C_R や信号検出素子の素子容量 C_D を適切に定めねばならない。次に此等の関係を、図5を用いて説明する。

【0023】

まず、測定対象物の凸部が容量検出誘電体膜に接しており、対象物が電氣的に接地されて居る状況を考える。具体的には静電容量検出装置を指紋センサとして用い、この静電容量検出装置表面に指紋の山が接している状態の検出を想定する。基準コンデンサの電極面積を S_R (μm^2)、電極長を L_R (μm)、電極幅を W_R (μm)、信号増幅用MIS型薄膜半導体装置のゲート電極面積を S_T (μm^2)、ゲート電極長を L_T (μm)、ゲート電極幅を W_T (μm)、基準コンデンサ誘電体膜の厚みを t_R (μm)、基準コンデンサ誘電体膜の比誘電率を ϵ_R 、ゲート絶縁膜の厚みを t_{ox} (μm)、ゲート絶縁膜の比誘電率を ϵ_{ox} として信号増幅用MIS型薄膜半導体装置の基準コンデンサ容量 C_R とトランジスタ容量 C_T とを

$$C_R = \epsilon_0 \cdot \epsilon_R \cdot S_R / t_R = \epsilon_0 \cdot \epsilon_R \cdot L_R \cdot W_R / t_R$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot S_T / t_{ox} = \epsilon_0 \cdot \epsilon_{ox} \cdot L_T \cdot W_T / t_{ox}$$

と定義する(ϵ_0 は真空の誘電率)。図4 (A) に示す基準コンデンサと信号増幅素子とが一体形成される場合には、信号増幅用MIS型薄膜半導体装置のゲート電極と半導体膜ドレイン領域との重なり部のゲート電極長を L_1 (μm)、信号増幅用MIS型薄膜半導体装置のゲート電極と半導体膜チャンネル形成領域との重なり部のゲート電極長を L_2 (μm)、ゲート電極幅を W (μm)、ゲート絶縁膜の厚みを t_{ox} (μm)、ゲート絶縁膜の比誘電率を ϵ_{ox} として、基準コンデンサ容量 C_R と信号増幅用MIS型薄膜半導体装置のトランジスタ容量 C_T を

$$C_R = \epsilon_0 \cdot \epsilon_R \cdot S_R / t_R = \epsilon_0 \cdot \epsilon_{ox} \cdot L_1 \cdot W / t_{ox}$$

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot S_T / t_{ox} = \epsilon_0 \cdot \epsilon_{ox} \cdot L_2 \cdot W / t_{ox}$$

と定義する(ϵ_0 は真空の誘電率)。更に、容量検出電極の面積を S_D (μm^2)、容量検出誘電体膜の厚みを t_D (μm)、容量検出誘電体膜の比誘電率を ϵ_D として信号検出素子の素子容量 C_D を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S_D / t_D$$

と定義する(ϵ_0 は真空の誘電率)。対象物表面が素子容量 C_D の接地電極となり、容量検出電極が容量検出誘電体膜を挟んで他方の電極に相当する。容量検出電極は信号増幅用M

I S 型薄膜半導体装置のゲート電極と基準コンデンサ第二電極とに接続されて居るので、素子容量 C_D を持つコンデンサとトランジスタ容量 C_T を持つコンデンサとが直列に接続され、同時に素子容量 C_D を持つコンデンサと基準コンデンサ容量 C_R を持つコンデンサとが直列に接続される事に成る。此等二つの直列コンデンサに電圧 V_{dd} が印可されるのである (図 5 A)。印可電圧は静電容量に応じて分割されるから、この状態にて信号増幅用 M I S 型薄膜半導体装置のゲート電極に掛かる電圧 V_{GT} は

$$V_{GT} = \frac{V_{dd}}{1 + \frac{C_D}{C_R + C_T}}$$

【0024】

となる。従って、素子容量 C_D が基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きい時

$$C_D \gg (C_R + C_T)$$

には、ゲート電圧は

$$V_{GT} \approx 0$$

【0025】

と近似され、ゲート電極には殆ど電圧が掛からない。その結果、信号増幅用 M I S 型薄膜半導体装置はオフ状態となり、電流 I は窮めて小さくなる。結局、指紋の山に相当する対象物の凸部が静電容量検出装置に接した時に信号増幅素子が殆ど電流を流さない為には、静電容量検出素子を構成するゲート電極面積やゲート電極長、ゲート電極幅、ゲート絶縁膜材質、ゲート絶縁膜厚、基準コンデンサ電極面積や基準コンデンサ電極長、基準コンデンサ電極幅、基準コンデンサ誘電体膜材質、基準コンデンサ誘電体膜厚、容量検出電極面積、容量検出誘電体膜材質、容量検出誘電体膜厚などを素子容量 C_D が基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ よりも十分に大きくなる様に設定せねばならない訳で有る。一般に「十分に大きい」とは 10 倍程度の相違を意味する。換言すれば素子容量 C_D は基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ と $C_D > 10 \times (C_R + C_T)$

との関係を満たせば良い。この場合、 V_{GT}/V_{dd} は 0.1 程度以下となり薄膜半導体装置はオン状態には成り得ない。対象物の凸部を確実に検出するには、対象物の凸部が静電容量検出装置に接した時に、信号増幅用 M I S 型薄膜半導体装置がオフ状態に成る事が重要である。従って電源電圧 V_{dd} に正電源を用いる場合には信号増幅用 M I S 型薄膜半導体装置として、ゲート電圧がゼロ近傍でドレイン電流が流れないエンハンスメント型 (ノーマリーオフ型) N 型トランジスタを用いるのが好ましい。より理想的には、伝達特性に於けるドレイン電流が最小値となるゲート電圧 (最小ゲート電圧) を V_{min} として、この最小ゲート電圧が

$$0 < 0.1 \times V_{dd} < V_{min}$$

$$0 < \frac{V_{dd}}{1 + \frac{C_D}{C_R + C_T}} < V_{min}$$

【0026】

との関係を満たす様な信号増幅用 N 型 M I S 薄膜半導体装置を使用する。反対に電源電圧 V_{dd} に負電源を用いる場合には信号増幅用 M I S 型薄膜半導体装置として、ゲート電圧がゼロ近傍でドレイン電流が流れないエンハンスメント型 (ノーマリーオフ型) P 型トランジスタを用いる。理想的には信号増幅用 P 型 M I S 薄膜半導体装置の最小ゲート電圧 V_{min} が

$$V_{\min} < 0.1 \times V_{dd} < 0$$

$$V_{\min} < \frac{V_{dd}}{1 + \frac{C_D}{C_R + C_T}} < 0$$

【0027】

との関係を満たす信号増幅用P型MIS薄膜半導体装置を使用する事である。斯うする事に依り対象物の凸部を、電流値Iが非常に小さいとの形態にて確実に検出し得るので有る。

【0028】

次に対象物が容量検出誘電体膜に接しずに対象物距離 t_A を以て容量検出誘電体膜から離れて居る状況を考える。即ち測定対象物の凹部が容量検出誘電体膜上に有り、更に対象物が電氣的に接地されて居る状況で有る。具体的には静電容量検出装置を指紋センサとして用いた時に、静電容量検出装置表面に指紋の谷が来て居る状態の検出を想定する。先にも述べた様に、本発明の静電容量検出装置では容量検出誘電体膜が静電容量検出装置の最表面に位置するのが望ましい。この時の等価回路図を図5Bに示す。容量検出誘電体膜に対象物表面が接していないので、容量検出誘電体膜と対象物表面との間には空気を誘電体とした新たなコンデンサーが形成される。此を対象物容量 C_A と名付け、真空の誘電率 ϵ_0 と空気の比誘電率 ϵ_A と容量検出電極の面積 S_D とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S_D / t_A$$

と定義する。斯うして対象物が容量検出誘電体膜から離れた状態では、トランジスタ容量 C_T と基準コンデンサ容量 C_R とが並列接続し、これら $(C_R + C_T)$ と素子容量 C_D と対象物容量 C_A とを持つコンデンサーが直列に接続され、此等のコンデンサーに電圧 V_{dd} が印可される事になる(図5B)。印可電圧は静電容量に応じて此等のコンデンサー間で分割されるので、この状態にて信号増幅用MIS型薄膜半導体装置のゲート電極に掛かる電圧 V_{GV} は

$$V_{GV} = \frac{V_{dd}}{1 + \frac{1}{(C_R + C_T)} \cdot \left(\frac{1}{1/C_D + 1/C_A} \right)}$$

【0029】

となる。一方、本発明では対象物が静電容量検出装置に接した時にドレイン電流が非常に小さくなる様に

$$C_D \gg (C_R + C_T)$$

との条件を満たすべく静電容量検出素子を作成して在るので、 V_{GV} は更に

$$V_{GV} \approx \frac{V_{dd}}{1 + \frac{C_A}{C_R + C_T}}$$

【0030】

と近似される。結局、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である $C_R + C_T$ が対象物容量 C_A よりも十分に大きければ、

$$(C_R + C_T) \gg C_A$$

ゲート電圧 V_{GV} は

$$V_{GV} \approx V_{dd}$$

【0031】

と、電源電圧 V_{dd} に略等しくする事が可能と化す。この結果、信号増幅用MIS型薄膜半導体装置をオン状態と出来、電流Iは窮めて大きくなる。指紋の谷に相当する対象物の凹部が静電容量検出装置上に来た時に信号増幅素子が大電流を通す為には、信号増幅素子を

構成するゲート電極面積やゲート電極長、ゲート電極幅、ゲート絶縁膜材質、ゲート絶縁膜厚、基準コンデンサ電極面積、基準コンデンサ電極長、基準コンデンサ電極幅、基準コンデンサ誘電体膜材質、基準コンデンサ誘電体膜厚、容量検出電極面積、容量検出誘電体膜材質、容量検出誘電体膜厚などを基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である C_R+C_T が対象物容量 C_A よりも十分に大きくなる様に構成付ける必要がある。先に述べた如く、10倍程度の相違が認められると一般に十分に大きいと言えるので、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である C_R+C_T と対象物容量 C_A とが

$$(C_R+C_T) > 10 \times C_A$$

との関係を満たせば良い。この場合、 V_{GT}/V_{dd} は0.91程度以上となり薄膜半導体装置は容易にオン状態と化す。対象物の凹部を確実に検出するには、対象物の凹部が静電容量検出装置に近づいた時に、信号増幅用MIS型薄膜半導体装置がオン状態に成る事が重要である。電源電圧 V_{dd} に正電源を用いる場合には信号増幅用MIS型薄膜半導体装置としてエンハンスメント型（ノーマリーオフ型）N型トランジスタを用いており、このトランジスタの閾値電圧 V_{th} が V_{GV} よりも小さいのが好ましい。

$$0 < V_{th} < \frac{V_{dd}}{1 + \frac{1}{(C_R+C_T)} \cdot \left(\frac{1}{1/C_D + 1/C_A} \right)}$$

$$0 < V_{th} < \frac{V_{dd}}{1 + C_A / (C_R + C_T)}$$

【0032】

より理想的には、

$$0 < V_{th} < 0.91 \times V_{dd}$$

との関係を満たす様な信号増幅用N型MIS薄膜半導体装置を使用する。反対に電源電圧 V_{dd} に負電源を用いる場合には信号増幅用MIS型薄膜半導体装置としてエンハンスメント型（ノーマリーオフ型）P型トランジスタを用えており、理想的には信号増幅用P型MIS薄膜半導体装置の閾値電圧 V_{th} が V_{GV} よりも大きいのが好ましい。より理想的には、

$$\frac{V_{dd}}{1 + \frac{1}{(C_R+C_T)} \cdot \left(\frac{1}{1/C_D + 1/C_A} \right)} < V_{th} < 0$$

$$\frac{V_{dd}}{1 + C_A / (C_R + C_T)} < V_{th} < 0$$

【0033】

$$0.91 \times V_{dd} < V_{th} < 0$$

との関係を満たす信号増幅用P型MIS薄膜半導体装置を使用する事である。斯うする事に依り対象物の凹部が、電流値 I が非常に大きいとの形態にて確実に検出されるに至る。

【0034】

結局、指紋の山等に相当する対象物の凸部が静電容量検出装置に接した時に信号増幅素子が殆ど電流を通さず、同時に指紋の谷等に相当する対象物の凹部が静電容量検出装置に近づいた時に信号増幅素子が大きな電流を通して対象物の凹凸を正しく認識するには、静電容量検出素子にて容量検出誘電体膜が静電容量検出装置の最表面に位置するか、或いは容量検出誘電体膜上に静電容量検出素子毎に分離された導電膜を有し、信号増幅用MIS型薄膜半導体装置のゲート電極面積 S_T (μm^2) やゲート電極長 L_T (μm)、ゲート電

極幅 W_T (μm)、ゲート絶縁膜の厚み t_{ox} (μm)、ゲート絶縁膜の比誘電率 ϵ_{ox} 、基準コンデンサ電極面積 S_R (μm^2)、基準コンデンサ電極長 L_R (μm)、基準コンデンサ電極幅 W_R (μm)、基準コンデンサ誘電体膜の厚み t_R (μm)、基準コンデンサ誘電体膜の比誘電率 ϵ_R 、容量検出電極面積 S_D (μm^2)、容量検出誘電体膜の厚み t_D (μm)、容量検出誘電体膜の比誘電率 ϵ_D 等を素子容量 C_D が基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である C_R+C_T よりも十分に大きくなる様に設定する必要があり、且つ対象物が容量検出誘電体膜に接しずに対象物距離 t_A を以て離れて居る際に基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である C_R+C_T が対象物容量 C_A よりも十分に大きく成る様に静電容量検出装置を構成づけるのが理想的と言える。より具体的には素子容量 C_D と、基準コンデンサ容量 C_R とトランジスタ容量 C_T との和である C_R+C_T と、対象物容量 C_A とが

$$C_D > 10 \times (C_R + C_T) > 100 \times C_A$$

との関係を満たす様に静電容量検出装置を特徴付ける。又、電源電圧 V_{dd} に正電源を用いる場合には信号増幅用MIS型薄膜半導体装置としてエンハンスメント型（ノーマリーオフ型）N型トランジスタを用いるのが好ましく、此のN型トランジスタの最小ゲート電圧 V_{min} は

$$0 < 0.1 \times V_{dd} < V_{min}$$

又は、

$$0 < \frac{V_{dd}}{1 + \frac{C_D}{C_R + C_T}} < V_{min}$$

【0035】

との関係を満たし、更に閾値電圧 V_{th} が V_{GV} よりも小さく、具体的には

$$0 < V_{th} < 0.91 \times V_{dd}$$

又は、

$$0 < V_{th} < \frac{V_{dd}}{1 + \frac{C_A}{C_R + C_T}}$$

【0036】

との関係を満たしているエンハンスメント型N型トランジスタを用いるのが理想的である。

反対に電源電圧 V_{dd} に負電源を用いる場合には信号増幅用MIS型薄膜半導体装置としてエンハンスメント型（ノーマリーオフ型）P型トランジスタを用いるのが好ましく、此のP型トランジスタの最小ゲート電圧 V_{min} は

$$V_{min} < 0.1 \times V_{dd} < 0$$

又は、

$$V_{min} < \frac{V_{dd}}{1 + \frac{C_D}{C_R + C_T}} < 0$$

【0037】

との関係を満たし、更に閾値電圧 V_{th} が V_{GV} よりも大きく、具体的には

$$0.91 \times V_{dd} < V_{th} < 0$$

又は、

$$\frac{V_{dd}}{1 + \frac{C_A}{C_R + C_T}} < V_{th} < 0$$

【0038】

との関係を満たしているエンハンスメント型P型トランジスタを用いるのが理想的である。

【0039】

次に本発明に依る静電容量検出装置の全体構成を、図6を用いて説明する。対象物の表面形状を読み取る静電容量検出装置はM行N列の行列状に配置されたM本（Mは1以上の整数）の個別電源線と、N本（Nは1以上の整数）の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子とを最小限の構成要素としている。静電容量検出素子は容量検出電極と容量検出誘電体膜と基準コンデンサと信号増幅素子とを含み、対象物との距離に応じて変化する静電容量を検出する。静電容量検出素子がM行N列の行列状に配置されているので、対象物の表面形状を読み取るには行と列とを其々順次走査してM×N個の静電容量検出素子を適当な順番に選択して行かねばならない。各静電容量検出素子から如何なる順序にて検出された信号を読み出すかを定めるのが出力信号選択回路である。出力信号選択回路は少なくとも共通出力線と出力信号用パスゲートとを含んで居り、N本の個別出力線の何れから出力信号を取り出すかを選択する。出力信号選択回路の動作はX側クロック生成器より供給されるクロック信号に従う。クロック生成器の回路図は図7に示されて居る。出力信号選択回路が出力信号取り出しの選択を為すには、出力信号選択回路がシフトレジスタとNANDゲート、バッファを含むのが好ましい（図9）。シフトレジスタは、クロックド・インバータとインバータからなるフリップフロップとクロックド・インバータとの直列接続を基本段とし、この基本段を複数直列に繋げて構成される。隣り合う基本段からの出力はNANDゲートの入力となり、NANDゲート出力をバッファにて反転増幅して出力選択信号とする。出力選択信号は出力選択用出力線に出力され、出力信号用パスゲートの動作を制御する（図10）。

【0040】

静電容量検出素子内の信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用MIS型薄膜半導体装置から構成される。出力信号用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用MIS型薄膜半導体装置から成る。本願発明では信号増幅素子用MIS型薄膜半導体装置のソース領域は個別出力線に接続され、信号増幅素子用MIS型薄膜半導体装置のドレイン領域は個別電源線と基準コンデンサ第一電極に接続され、信号増幅素子用MIS型薄膜半導体装置のゲート電極は容量検出電極と基準コンデンサ第二電極に接続される。（図10ではMIS型薄膜半導体装置のソース領域をS、ドレイン領域をD、ゲート電極をGにて表示して居る。）斯うして個別電源線と個別出力線とは、容量検出電極にて検出された電荷Qに感応するチャンネル形成領域を介在してお互いに接続される。

【0041】

本願発明では出力信号パスゲート用MIS型薄膜半導体装置のソース領域は共通出力線に接続され、出力信号パスゲート用MIS型薄膜半導体装置のドレイン領域は個別出力線に接続され、出力信号パスゲート用MIS型薄膜半導体装置のゲート電極はN本の個別出力線の内からどの個別出力線を選択するかと云った信号を供給する出力選択用出力線に接続されて居る（図10）。前述の如く出力選択用出力線は、一例として出力信号用シフトレジスタの各出力段（隣り合う基本段からの出力を受けたNANDゲートの反転増幅出力）となし得るし（図10の場合）、或いは出力信号用シフトレジスタに代わる出力信号用デコーダーの各出力段ともなし得る。出力信号用シフトレジスタはN個の出力段に転送されて来た選択信号を順次供給して行く。又、出力信号用デコーダーはデコーダーへの入力信号に応じてN個の出力段から特定の出力段を選定する。斯うしてN個の出力信号用パスゲートには順次適時選択信号が入力され、結果としてN本の個別出力線が共通出力線と順次電氣的な導通が取られて行く。

【0042】

電源選択回路はM本の個別電源線から特定の一本の個別電源線を選択して、その個別電源線に電源を供給する。電源供給の有無が個別電源線に対する選択の可否に対応する（図6）。電源選択回路はY側クロック生成器より供給されるクロック信号に従う。クロック生成器の回路図は図7に示されて居る。電源選択回路が特定の個別電源線を選択する為には、電源選択回路がシフトレジスタとNANDゲート、インバータを含むのが好ましい（図8）。シフトレジスタは、クロックド・インバータとインバータからなるフリップフロ

ップとクロックド・インバータとの直列接続を基本段とし、この基本段を複数直列に繋げて構成される。隣り合う基本段からの出力はNANDゲートの入力となり、NANDゲート出力をインバータにて反転増幅して電源選択信号とする。電源選択信号は各個別電源線に出力される。斯うする事で個別電源線が選択された際には、その個別電源線は電源 V_{dd} に導通する。反対に選択されてない個別電源線は接地電位(V_{ss})となる。電源選択回路はシフトレジスタの各出力段(隣り合う基本段からの出力を受けたNANDゲートの反転増幅出力)となし得るし、或いは図8に示すシフトレジスタに代わる電源選択用デコーダーの各出力段ともなし得る。電源選択用シフトレジスタはM個の出力段に転送されて来た選択信号を順次供給して行く。又、電源選択用デコーダーはデコーダーへの入力信号に応じてM個の出力段から特定の出力段を選定する。斯うしてM個の個別電源線は順次或いは適時に電源(V_{dd})との導通が取られて行く。

【0043】

斯うした構成にて静電容量検出装置が機能する為には、個別出力線と共通出力線とが第一配線にて配線され、個別電源線と出力選択用出力線とが第二配線にて配線され、容量検出電極が第三配線にて配線され、此等第一配線と第二配線と第三配線とは絶縁膜を介して電氣的に分離される必要が有る。斯うした構成を成す事で余分な配線を除去し、以て各配線間に生ずる寄生容量を最小化せしめ、故に微少な静電容量を高感度にて検出せしめる訳である。

【0044】

斯様な静電容量検出素子は前述のSUTLA技術を用いて、プラスチック基板上に形成され得る。単結晶硅素技術に基づく指紋センサはプラスチック上では直ぐに割れて仕舞ったり、或いは十分な大きさを有さぬが為に実用性に乏しい。これに対して本願発明に依るプラスチック基板上の静電容量検出素子は、プラスチック基板上で指を被うに十分な大きさの面積としても、静電容量検出素子が割れる心配もなく、プラスチック基板上での指紋センサとして利用し得る。具体的には本願発明により個人認証機能を兼ね備えたスマートカードが実現される。個人認証機能を備えたスマートカードはキャッシュカード(bankcard)やクレジットカード(credit card)、身分証明(Identity card)等で使用され、此等のセキュリティレベルを著しく高めた上で尚、個人指紋情報をカード外に流出させずに保護するとの優れた機能を有する。

【実施例1】

【0045】

ガラス基板上に薄膜半導体装置からなる静電容量検出装置を製造した上で、此の静電容量検出装置をSUTLA技術を用いてプラスチック基板上に転写し、プラスチック基板上に静電容量検出装置を作成した。静電容量検出装置は300行300列の行列状に並んだ静電容量検出素子から構成される。行列部の大きさは20.32mm角の正方形である。

【0046】

基板は厚み400 μ mのポリエーテルスルフォン(PES)である。信号増幅用MIS型薄膜半導体装置も出力信号パスゲート用MIS型薄膜半導体装置も、出力信号用選択回路を構成するMIS型薄膜半導体装置も、電源選択回路を構成するMIS型薄膜半導体装置も、総て薄膜トランジスタにて作られている。信号増幅用MIS型薄膜半導体装置を除くと此等の薄膜トランジスタ総ては同じ断面構造を有し、NMOSは所謂ライトリードドレイン(LDD)構造薄膜トランジスタからなり、PMOSはセルフアライン構造の薄膜トランジスタである。信号増幅用MIS型薄膜半導体装置を為す薄膜トランジスタは図4に示すトップゲート型で、ソース電極側がセルフアライン構造(ゲート電極端とソース領域端とが略一致)、ドレイン電極側がノンセルフアライン構造(ゲート電極とドレイン領域とが重なり部を有する)となっている。ドレイン電極側がノンセルフアライン構造となっているので、この部位が基準コンデンサとなる。即ち信号増幅素子と基準コンデンサとが一体形成されている。薄膜半導体装置は工程最高温度425℃の低温工程にて作成される。半導体膜はレーザー結晶化にて得られた多結晶硅素薄膜でその厚みは59nm

である。又、ゲート絶縁膜は化学気相堆積法（CVD法）にて形成された45nm厚の酸化硅素膜で、ゲート電極は厚み400nmのタンタル薄膜から成る。ゲート絶縁膜を成す酸化硅素膜の比誘電率はCV測定により略3.9と求められた。第一層間絶縁膜と第二層間絶縁膜は原料物質としてテトラエチルオキシシリケート（TEOS: Si(OCH₂CH₃)₄）と酸素とを用いてCVD法にて形成した酸化硅素膜である。第一層間絶縁膜はゲート電極（本実施例では400nm）よりも20%程度以上厚く、第二層間絶縁膜よりも薄いのが望ましい。斯うするとゲート電極を確実に覆って、ゲート電極と第一配線乃至は第二配線との短絡を防止し、同時に第二層間絶縁膜を厚くし得るからである。本実施例では第一層間絶縁膜を500nmとした。第三層間絶縁膜は第二配線と容量検出電極とを分離し短絡を防止して居る。第一配線と容量検出電極とは第二層間絶縁膜と第三層間絶縁膜とによって分離されている。従って第一配線と容量検出電極との間に生ずる寄生容量を最小とし、好感度の静電容量検出装置を実現するには第二層間絶縁膜の誘電率と第三層間絶縁膜の誘電率とは出来る限り小さく、その厚みは出来る限り厚い方が好ましい。而るにCVD法にて積層された酸化硅素膜の総厚みが2μm程度を越えると酸化膜に亀裂が生ずる場合があり、歩留まりの低下をもたらす。従って第一層間絶縁膜と第二層間絶縁膜と第三層間絶縁膜との和は2μm程度以下とする。斯うする事で静電容量検出装置の生産性が向上する。先にも述べた様に第二層間絶縁膜と第三層間絶縁膜とは厚い方が好ましいので、第一層間絶縁膜よりも厚くする。第一層間絶縁膜はゲート電極よりも20%程度以上厚く、第二層間絶縁膜と第三層間絶縁膜とは第一層間絶縁膜よりも厚く、第一層間絶縁膜と第二層間絶縁膜と第三層間絶縁膜との和は2μm程度以下が理想的と言える。本実施例では第二層間絶縁膜の厚みを1μmとした。第一配線と第二配線は何れも500nm厚のアルミニウムより成り、配線幅は5μmである。第一配線に依り共通出力線と個別出力線が形成され、第二配線にて個別電源線と出力選択用出力線、及び容量検出電極が形成された。個別電源線と容量検出電極との間隔は5μmで、個別出力線と容量検出電極との間隔も矢張り5μmである。本実施例では静電容量検出装置を成す行列のピッチを66.7μmとし、解像度を381dpi (dots per inch) としている。従って容量検出電極は55.0μm×55.0μmの大きさとなる。容量検出誘電体膜は厚み350nmの窒化硅素膜にて形成された。CV測定からこの窒化硅素膜の比誘電率は略7.5であったから、素子容量C_Dは凡そ574fF（フェムトファラッド）となる。本実施例の静電容量検出装置を指紋センサと想定すると、指紋の凹凸は50μm程度なので、静電容量検出装置表面に指紋の谷が来た時の対象物容量C_Aは0.54fFと計算される。一方、信号増幅用MIS薄膜半導体装置のゲート電極長Lは7μmとした。この内基準コンデンサ部（L₁）が4.5μmでトランジスタ部（チャンネル形成領域長L₂）が2.5μmであった。ゲート電極幅Wは10μmであったから、トランジスタ容量C_Tと基準コンデンサ容量C_Rとの和は凡そ53.7fFとなる。斯うして本実施例に示す静電容量検出素子は

$$C_D > 10 \times (C_R + C_T) > 100 \times C_A$$

との関係を満たす。斯くして電源電圧V_{dd}を3.3Vとすると、指紋の山が静電容量検出装置表面に接した時に信号増幅用MIS薄膜半導体装置のゲート電極に印可される電圧V_{GT}は0.16Vとなり、指紋の谷が来た時に此のゲート電極に印可される電圧V_{GV}は3.22Vとなる。

【0047】

図11には本実施例にて用いたMIS型薄膜半導体装置の伝達特性を示す。出力信号用シフトレジスタはCMOS構成とされ、信号増幅用MIS型薄膜半導体装置と出力信号パスゲート用MIS型薄膜半導体装置はNMOSTランジスタにて形成された。信号増幅用N型MIS薄膜半導体装置の最小ゲート電圧V_{min}は0.1Vで有り、

$$0 < 0.1 \times V_{dd} < V_{min}$$

との関係を満たさなかったが、V_{GT}=0.16はドレイン電流を1pA（10⁻¹²A）以下の小さな値とし、指紋の山の検出を容易とした。一方、閾値電圧V_{th}は1.47Vで、

$$0 < V_{th} < 0.91 \times V_{dd} = 3.00V$$

との関係を満たして居る。この結果、指紋の山が静電容量検出装置表面に接した時に信号

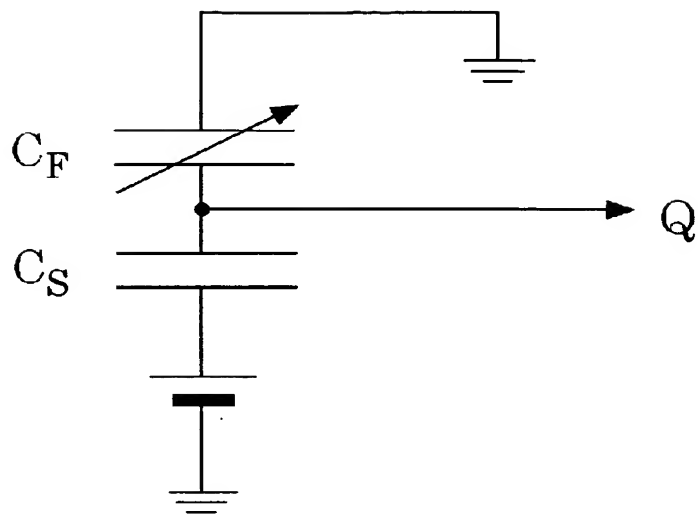
増幅素子から出力される電流値は $5.6 \times 10^{-13} \text{ A}$ と窮めて微弱となる。反対に指紋の谷が来た時には信号増幅素子から $2.4 \times 10^{-5} \text{ A}$ と大きな電流が出力され、指紋等の凹凸情報を精度良く検出するに至った。

【図面の簡単な説明】

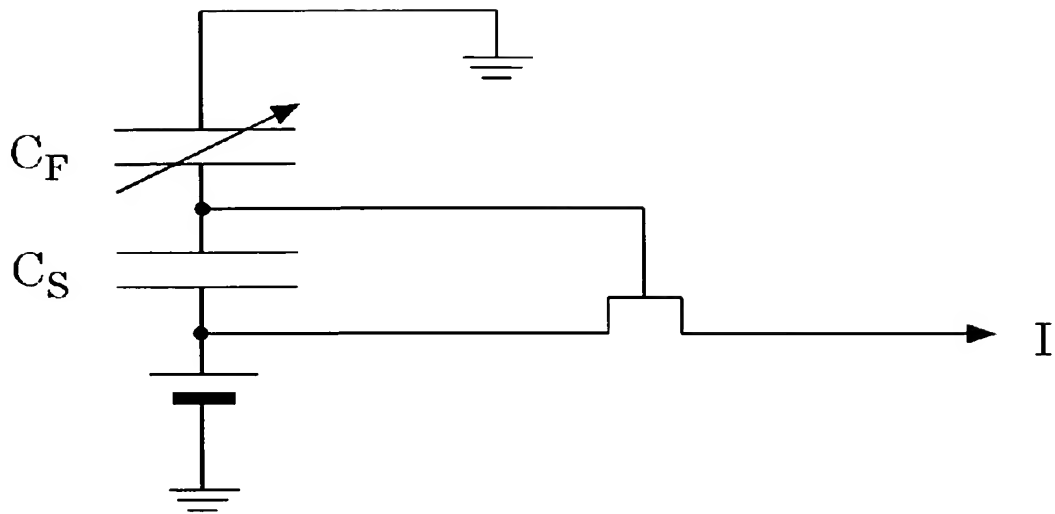
【0048】

- 【図1】従来技術に於ける動作原理を説明した図。
- 【図2】本願発明に於ける動作原理を説明した図。
- 【図3】本願発明に於ける動作原理を説明した図。
- 【図4A】本願発明の素子構造を説明した図。
- 【図4B】本願発明の素子構造を説明した図。
- 【図5】本願発明の原理を説明した図。
- 【図6】本願発明全体構成を説明した図。
- 【図7】本願発明のクロック生成器回路構成を説明した図。
- 【図8】本願発明の電源選択回路構成を説明した図。
- 【図9】本願発明の出力信号選択回路構成を説明した図。
- 【図10】本願発明の情報採取部回路構成を説明した図。
- 【図11】本実施例にて用いた薄膜半導体装置の伝達特性図。

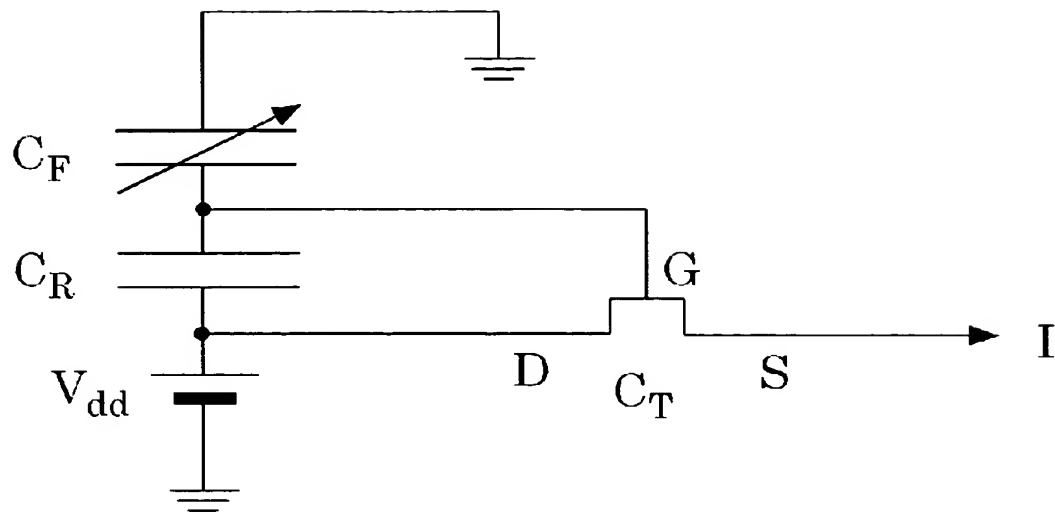
【書類名】図面
【図1】



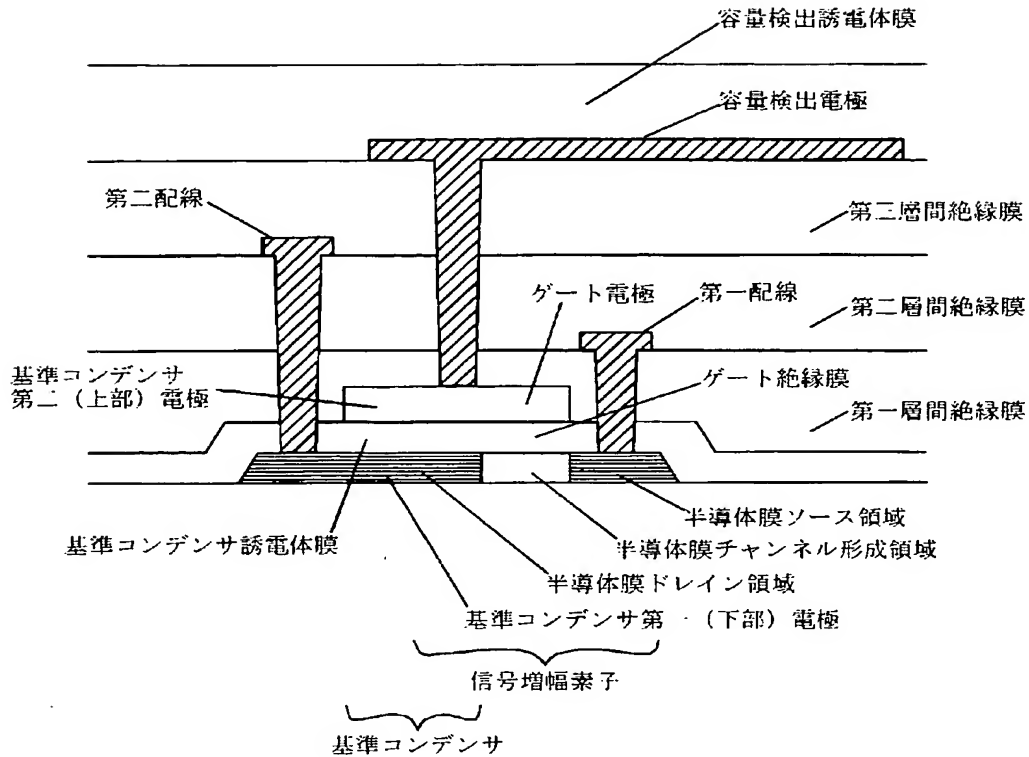
【図 2】



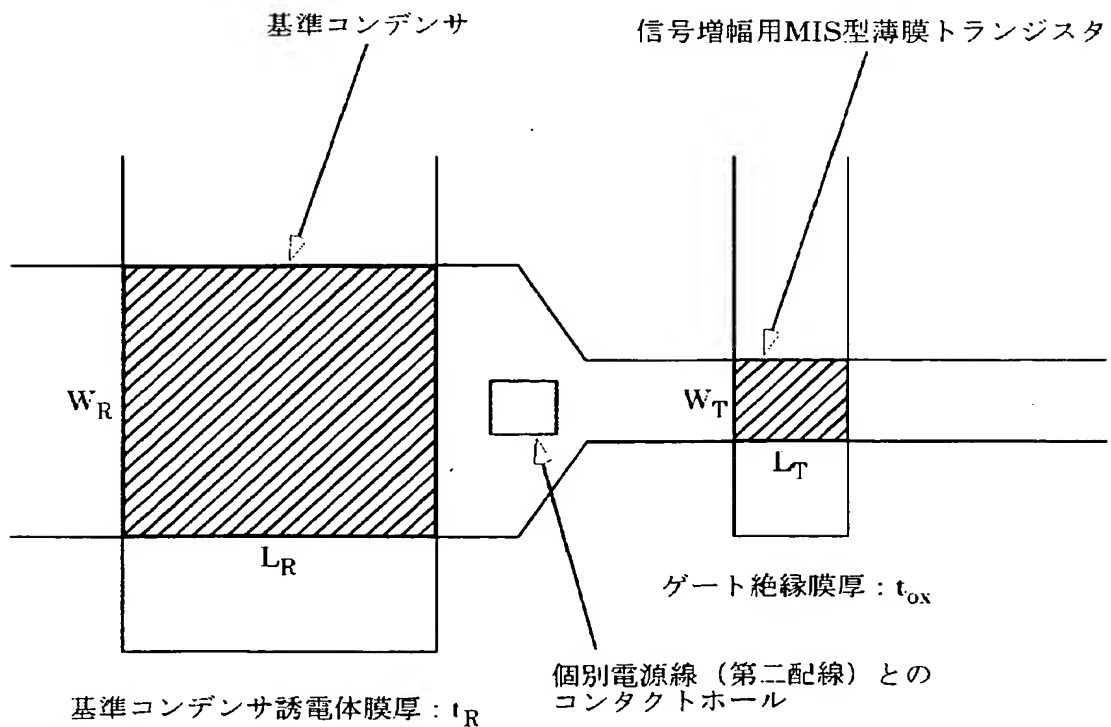
【図 3】



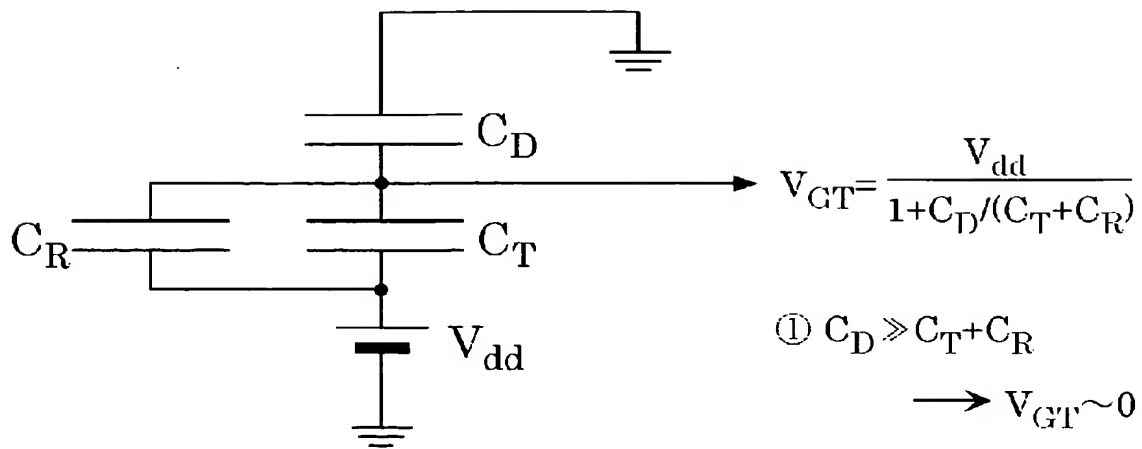
【図 4 A】



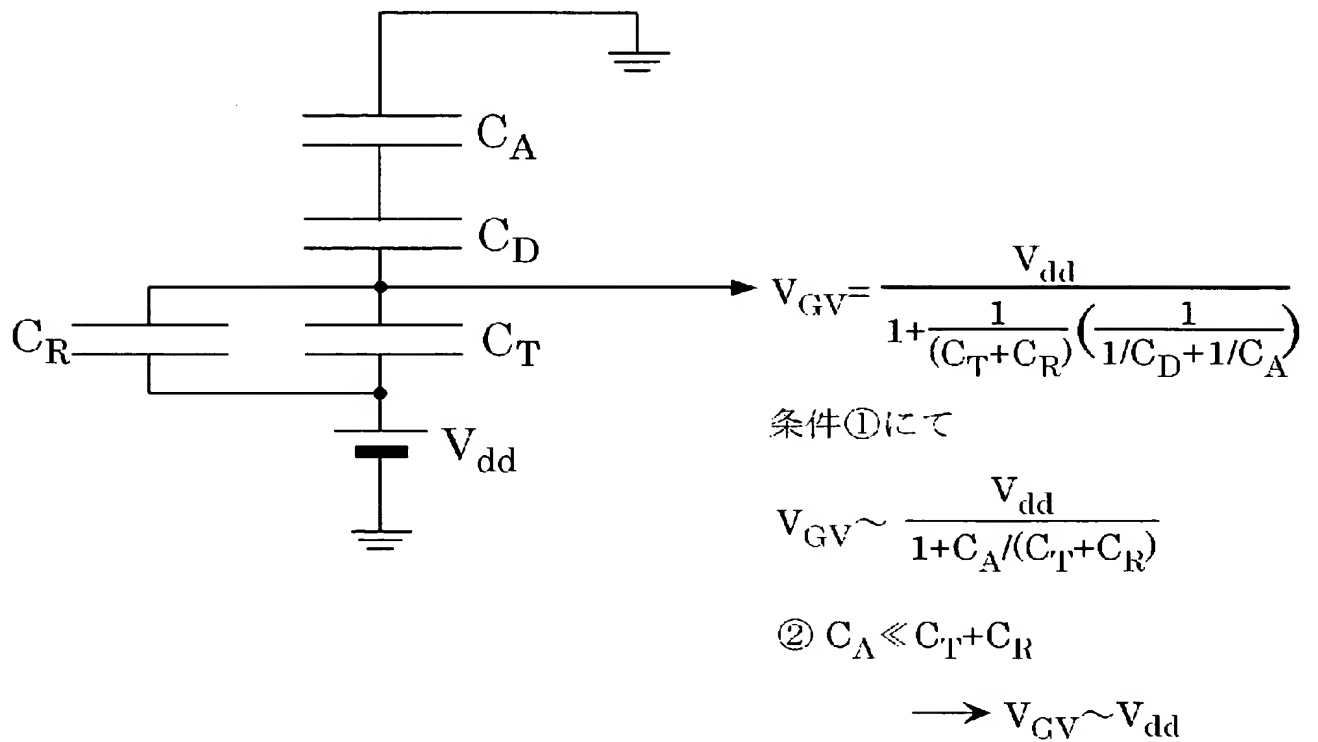
【図 4 B】



【図 5】

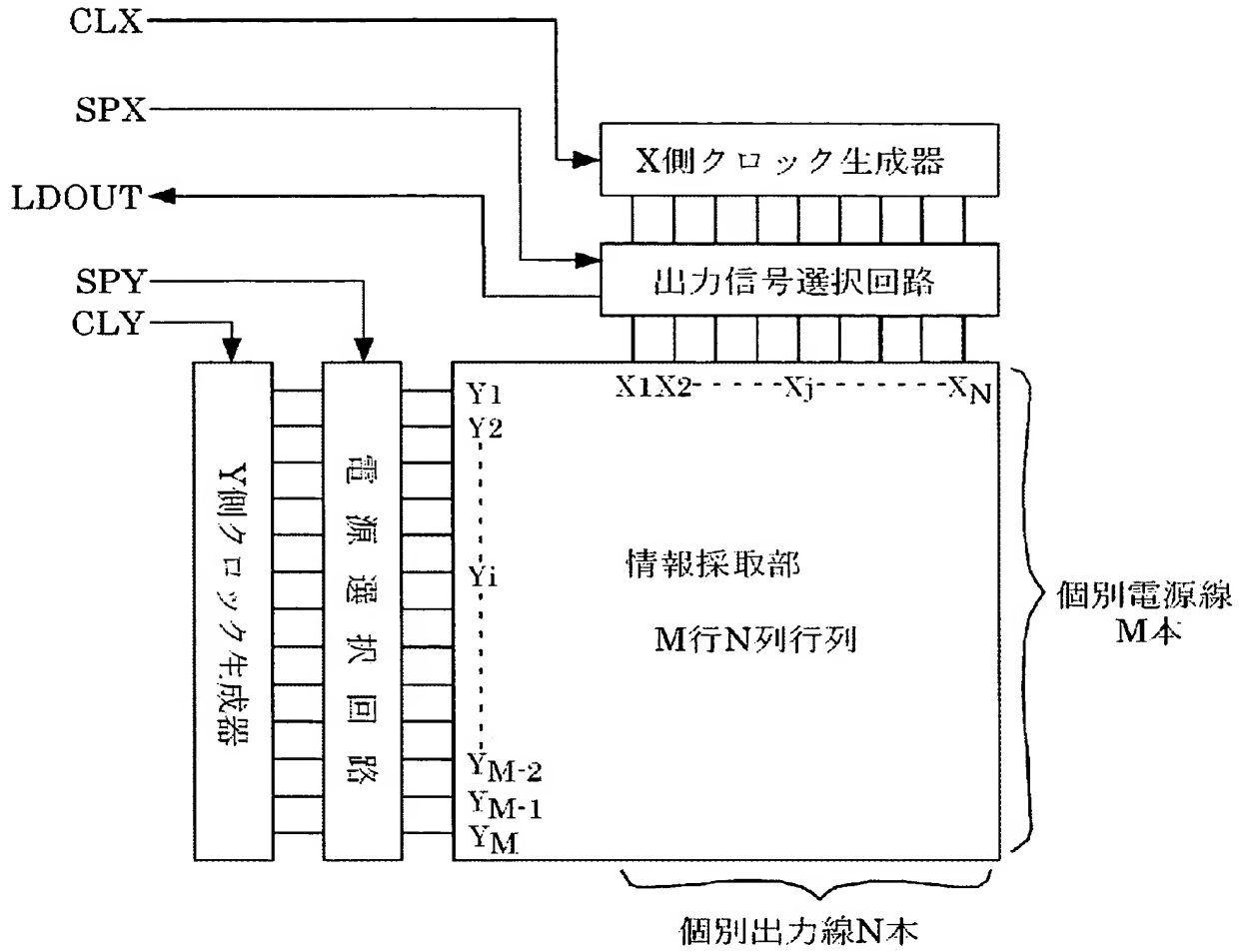


(A)

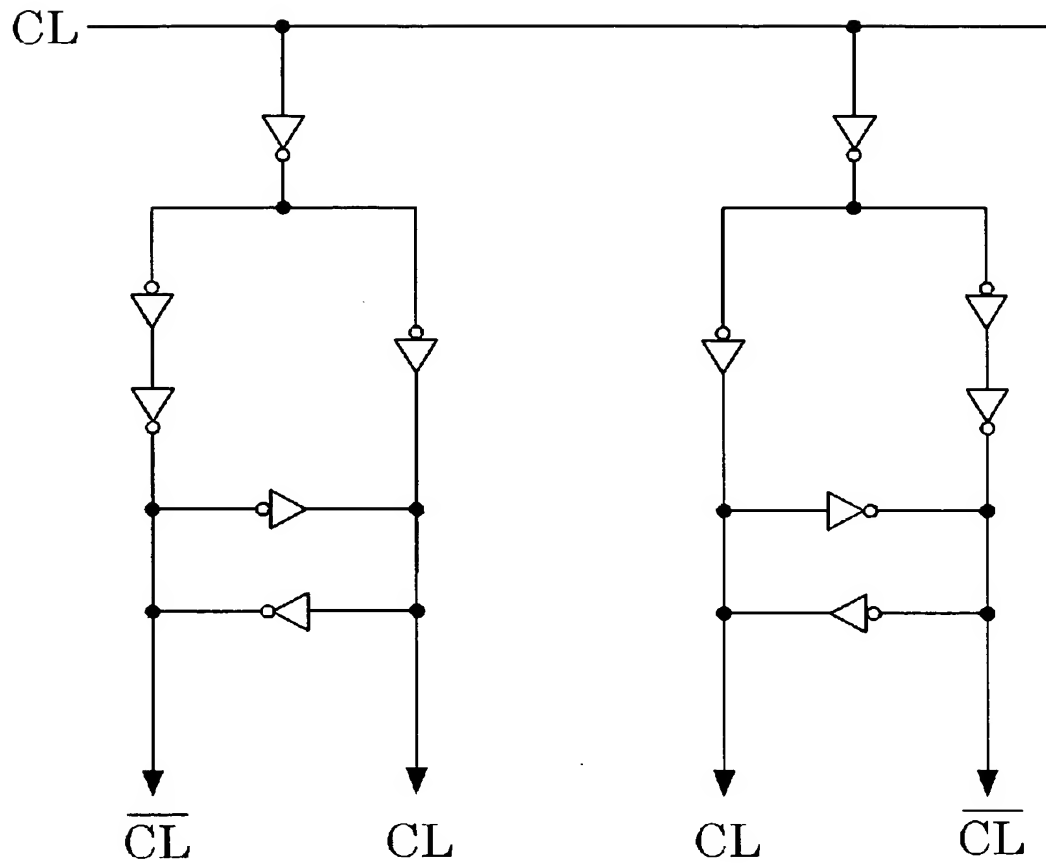


(B)

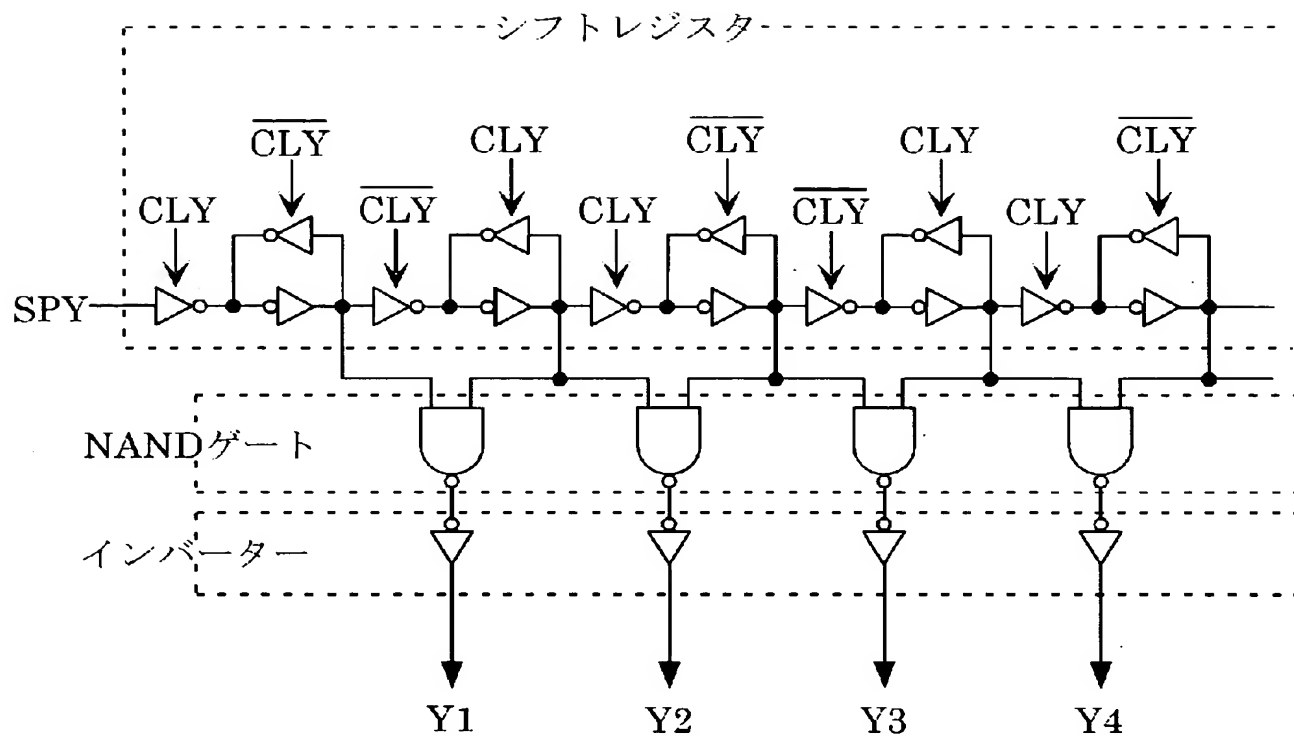
【図 6】



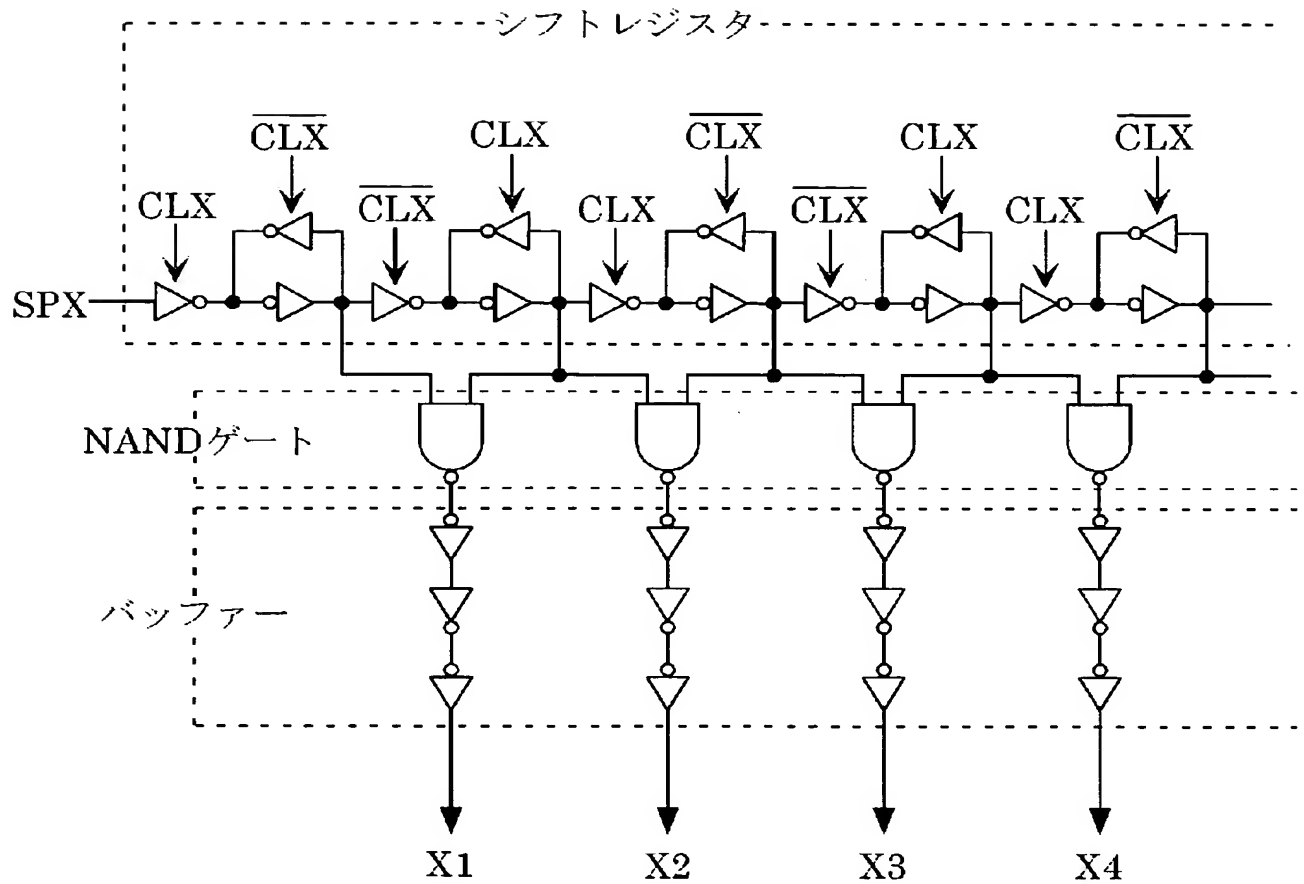
【図 7】



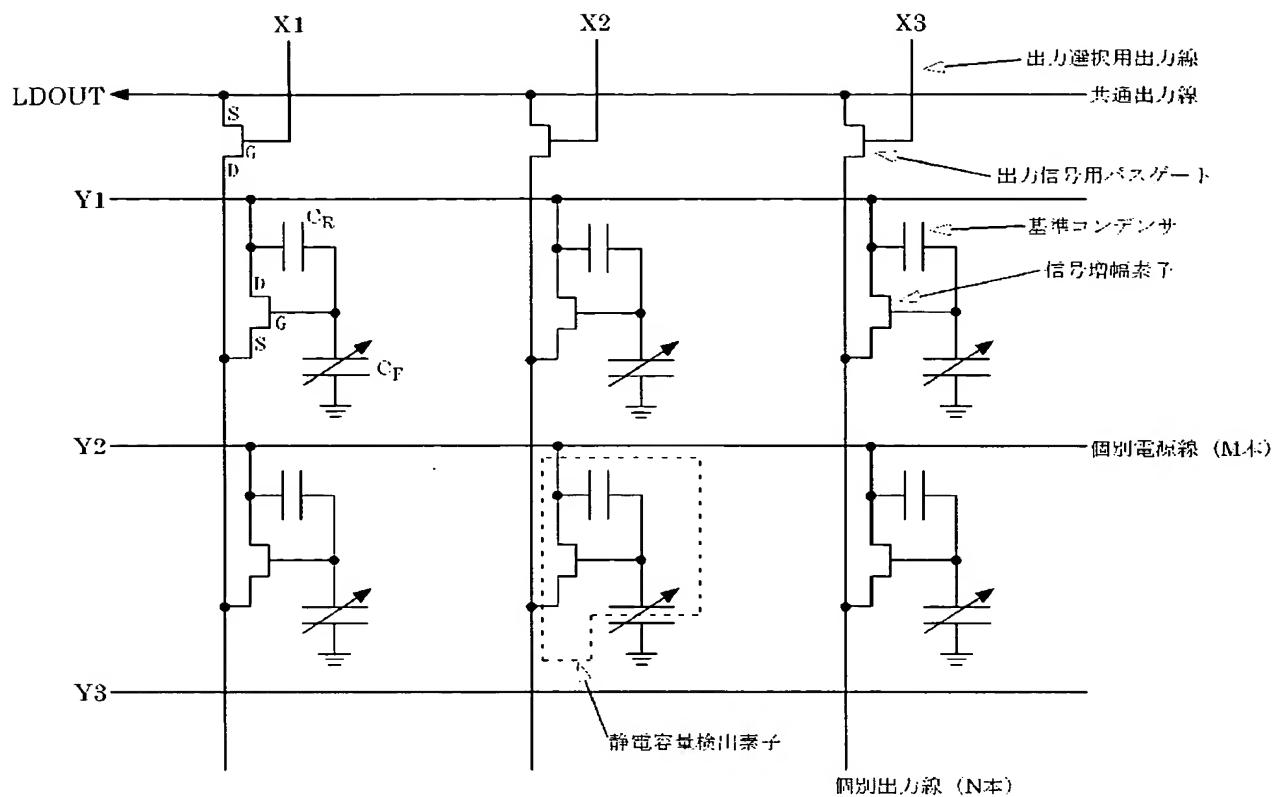
【図 8】



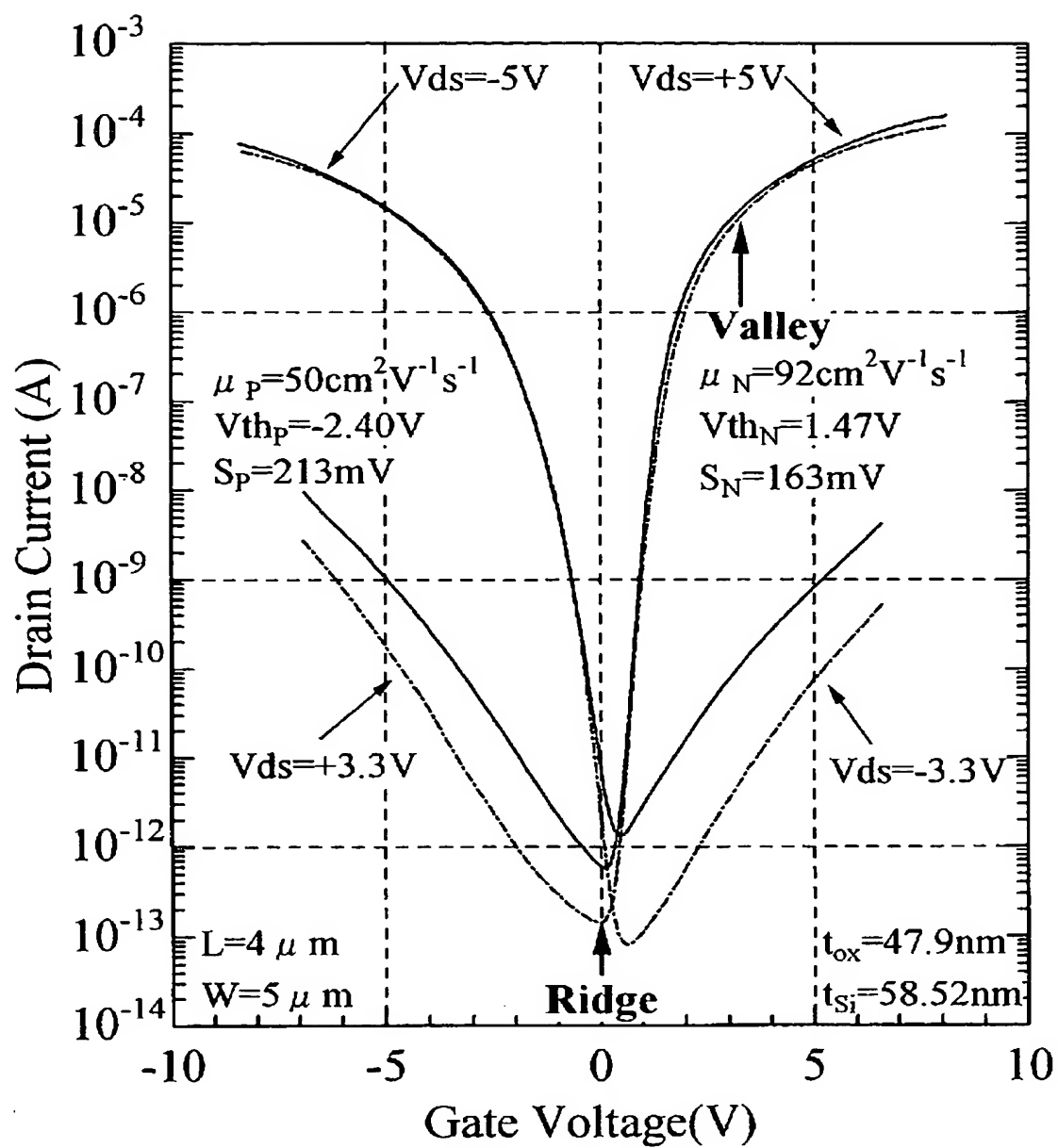
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 優良な静電容量検出装置を実現する。

【解決手段】 M行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び此等交点に設けられた静電容量検出素子とを具備し、静電容量検出素子は信号検出素子と信号増幅素子とを含み、信号検出素子は容量検出電極と容量検出誘電体膜とを含み、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用M I S型薄膜半導体装置から成る。

【選択図】 図 6

認定・付加情報

特許出願の番号	特願 2004-050148
受付番号	50400305459
書類名	特許願
担当官	伊藤 雅美 2132
作成日	平成16年 3月 1日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】 申請人

【識別番号】	100095728
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産本部内
【氏名又は名称】	上柳 雅誉

【選任した代理人】

【識別番号】	100107076
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産本部内
【氏名又は名称】	藤綱 英吉

【選任した代理人】

【識別番号】	100107261
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産本部内
【氏名又は名称】	須澤 修

特願 2 0 0 4 - 0 5 0 1 4 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社